

GaN FET Half Bridge DC/DC Converter를 위한 고속 스위칭 부트스트랩 Gate Drive 설계

김가인, 장현석, 이정호
군산대학교

Design of High Frequency Switching Bootstrap Gate Drive for GaN FET Half Bridge DC/DC Converter

Ga-In Kim, Hyeon-Seok Jang, Jung-Hyo Lee
Kunsan National University

Abstract - This paper designed a bootstrap gate drive for a half-bridge dc/dc converter using GaN FET. The gate-on voltage of the top switch decreased as the switching frequency increased on the bootstrap gate drive. Experiments were conducted through modification of the circuit artwork and variation in capacitance, and the experimental results are analyzed.

1. 서 론

최근 전력변환장치의 소형화, 전력반도체의 고효율화에 대한 연구가 지속되고있다. 이를 위해서는 작은 역 회복 특성, 낮은 온저항 ($R_{ds(ON)}$), 고주파 스위칭이 가능해야 하며, 대표적인 WBG(Wide Band Gap) 전력반도체 소자 중 질화갈륨을 이용한 GaN FET(Galium Nitride Field Effect Transistor)가 있다. GaN FET는 빠른 전하이동과 포화속도로 고주파 스위칭이 가능하게 하였고, 낮은 기생성분은 각 스위칭 주기에 대한 손실을 감소시켜준다[1]. 또한, 부트스트랩 회로는 기존 회로에 다이오드와 캐패시터의 추가만으로 상대적으로 간단한 구조를 가지며 소형화, 경제적 측면에서의 장점이 있다. 하지만 부트스트랩 캐패시터의 전압은 특정 전압 이상으로 유지되어야 하는데, 스위칭 주파수가 높아지면 회로 및 GaN FET 기생 캐패시턴스의 영향으로 인해 상단 스위치의 gate on 전압이 낮아진다[2]. 본 논문에서는 부트스트랩 게이트 드라이브의 고속 스위칭 시 전압이 감소하는 현상에 대해 분석하고 그에 따른 실험결과에 대해 설명한다.

2. 본 론

2.1. 부트스트랩

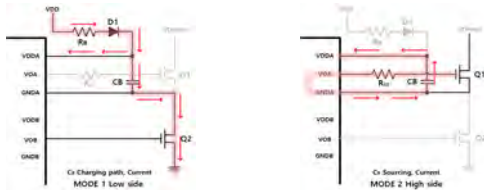


그림 1. 부트스트랩 전류 패스
Fig. 1. Bootstrap current pass

그림 1은 부트스트랩 회로의 로우사이드와 하이사이드 구동 시 각각의 전류패스를 나타낸다. 이때 C_b 는 게이트를 턴온시키기 위한 충분한 전압이 항상 유지되어야 한다. R_{GS} 의 값이나 스위칭 주파수에 따라 상단 스위치의 게이트 온 전압과 C_b 의 충전 전압에 영향이 생긴다.

2.2. GaN FET내 기생 캐패시턴스 성분

그림 2는 GaN FET 내부에 존재하는 기생 캐패시턴스를 나타낸다. 이때의 캐패시턴스들은 매우 작은 [pF]단위의 값을 갖게 된다. 하지만 고속 스위칭 시에는 이러한 내부 기생 캐패시턴스의 영향을 받아 게이트 온 전압이 충분히 입력되지 않게 된다.

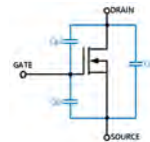


그림 2. 기생 캐패시턴스
Fig. 2. Parasite capacitance

기호	수식	의미
C_{iss}	$C_{gs} + C_{gd}$	입력용량
C_{oss}	$C_{ds} + C_{gd}$	출력용량
C_{rss}	C_{gd}	귀환용량

표 1. 기생 캐패시턴스
Table 1. Parasite capacitance

2.3. 실험결과

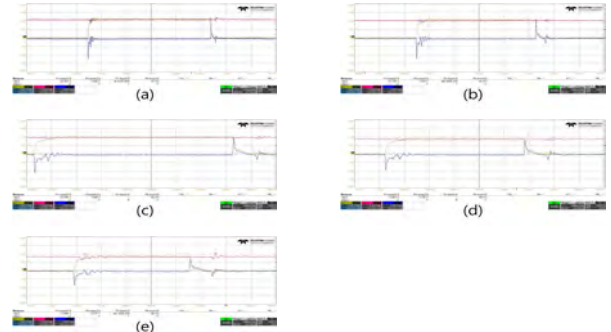


그림 3. 상단 스위치, 게이트 저항, 부트스트랩캐패시터 전압 파형
Fig. 3. Voltage waveform of high side switch, R_{GS} , C_b
(a)100[kHz] (b)200[kHz] (c)300[kHz] (d)400[kHz] (e)500[kHz]

그림 3은 각각 스위칭 주파수 100[kHz](a) ~ 500[kHz](e)일 때의 상단 스위치의 전압, R_{GS} 의 양단 전압, C_b 의 전압 파형이다. (a)에서는 12[V]의 전압이 유지되었지만, 100[kHz]단위로 스위칭 주파수를 늘려가며 (e)까지 도달하면 스위치 온 전압과 C_b 에 충전된 전압이 9[V]까지 감소 되고, R_{GS} 의 스위치 on/off 시 전압의 흔들림을 확인할 수 있다.

3. 결 론

본 논문은 GaN FET를 사용한 부트스트랩 게이트 드라이브에서 고속 스위칭 시의 게이트 전압 감소 현상을 분석하였다.

감사의 글

이 논문은 군산시의 지역맞춤형 전기차 클러스터 전문인력양성사업으로 지원된 연구임. This work was supported by the Korea Institute of Energy Technology Evaluation and Planning (KETEP) grant funded by the Korea government (MOTIE) (2022400000220, Jeonbuk Regional Energy Cluster Training of human resources)

참고 문헌

[1] 김준형, 권용성. 저전력 시스템에서 GaN HEMT와 Si MOSFET의 전력 손실 분석. 한국산학기술학회 논문지, 23(9), 8-15. (2022).
[2] 정준형, 구현근, 임원상, 김육, 김장묵. 부트스트랩 회로를 적용한 3-레벨 NPC 인버터의 저속 운전을 위한 PWM 스위칭 전략. 전력전자학회논문지, 19(4), 376-382. (2014)